

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020003001 A
(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000037382
(22)Date of filing: 30.06.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: JIN, SEONG GON
LEE, TAE GWON
LEE, WAN GYU
PARK, TAE SU
YANG, JUN MO

(51)Int. Cl. H01L 21/24

(54) METHOD FOR FORMING EPITAXIAL TITANIUM SILICIDE LAYER

(57) Abstract:



PURPOSE: A method for forming an epitaxial titanium silicide layer is provided to reduce a contact resistance and leakage current of a semiconductor device by preventing a condensing phenomenon of a silicide layer.

CONSTITUTION: A nitrogen trap layer is formed by performing a nitrogen plasma process on a surface of a silicon substrate(21). A titanium layer is deposited on the silicon substrate(21) including the nitrogen trap layer by using an IMP(Ion Metal Plasma) method. A titanium nitride(24) is formed by reacting the nitrogen trap layer with the titanium layer in a rapid thermal process. An epitaxial titanium silicide layer(25) is formed on the surface of the silicon substrate(21) by performing a thermal process. The epitaxial titanium silicide layer(25) is used for restricting a silicide reaction between the titanium layer and the silicon substrate(21).

© KIPO 2002

Legal Status

Date of final disposal of an application (20041218)

Patent registration number (1004649420000)

Date of registration (20041224)

Date of opposition against the grant of a patent (00000000)

Fast Available Copy

한국공개특허공보 특2002-3001호 사본 1부.

[첨부그림 1]

특2002-0003001

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/24	(11) 공개번호 (43) 공개일자	특2002-0003001 2002년06월10일
(21) 출원번호 (22) 출원일자 (71) 출원인	10-2000-0037382 2000년06월30일 주식회사 하이닉스반도체 박종섭	
(72) 발명자	경기도이천시 부발읍 아미리 산136-1 이태권 경기도성남시분당구미매동야름마을 간영아파트112-104 양준오 경기도이천시대월면 사동리441-1현대전자사원아파트103-706 박태수 서울특별시강남구역삼동629-7 권성곤 경기도이천시대월면 사동리441-1현대전자사원아파트110-1501 이원규 경기도성남시분당구정자동117한울주공아파트603-706 특허법인 선성	
(74) 대리인	특허법인 선성	

본 발명의 명칭

(54) 에피택셜 티타늄실리사이드막의 형성 방법

요약

본 발명은 후속 열공정시, 산화물 및 응집이 발생되는 것을 방지하는데 적합한 티타늄실리사이드막의 형성 방법에 관한 것으로, 이를 위한 본 발명은 실리콘층 표면에 질소플라즈마를 처리하여, 상기 실리콘층 표면 내에 질소트랩을 형성하는 제 1 단계; 상기 질소트랩을 포함, 실리콘층상에 티타늄막을 증착하고, 상기 티타늄막 증착시 상기 질소트랩층과 응집되는 티타늄막이 발생하여, 티타늄나이트라이드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결과물에 열처리를 실시하여, 상기 실리콘층 표면에 에피택셜 티타늄실리사이드막을 형성하는 제 3 단계를 포함하며, 상기 티타늄나이트라이드막은 상기 티타늄막과 실리콘층의 실리콘사이드면층을 억제시킨다.

도면

도 1

제1면

티타늄실리사이드, C54, C49, 응집, 질소플라즈마

제2면

도면의 간단한 설명

도 1은 종래기술에 따른 티타늄실리사이드막의 형성 방법을 개략적으로 도시한 도면,
도 2a 내지 도 2c는 본 발명의 실시예에 따른 에피택셜 C49-TiSi₂의 형성 방법, 도시한 도면,
도 3a 및 도 3b는 질소플라즈마처리에 따른 TiSi₂상의 구조변화를 도시한 그래프,
도 4a 및 도 4b는 질소플라즈마처리의 유무에 따른 TiSi₂의 미세구조변화된 도시한 그래프,
도 5a는 질소플라즈마처리를 실시하지 않은 C54-TiSi₂의 단면을 도시한 도면,

ABSTRACT

The present invention relates to a metal line structure that is highly heat-resistant and a method for forming the same. First, an inter-layer insulation layer is formed on a bottom conductive layer formed on a substrate in which an active region is formed, and then, a portion of the inter-layer insulation layer is removed to form a contact opening that exposes a portion of the bottom conductive layer. Afterwards, a reaction adjustment layer including a metal compound with a high melting point and a reaction metal layer including a metal with a high melting point are sequentially formed over the above resulting structure, or the reaction adjustment layer and the reaction metal layer are deposited consecutively at the same apparatus. A thermal annealing process is then applied to form an ohmic layer on the bottom conductive layer disposed at the bottom of the contact opening. Only the reaction metal layer or both the reaction metal layer and the reaction adjustment layer is/are removed. A diffusion barrier layer including a material with a high melting point and a top conductive layer are sequentially formed on the resulting substrate structure without the reaction metal layer and/or the reaction adjustment layer, thereby forming a high heat-resistant metal line structure. The reaction adjustment layer causes the ohmic layer including a material like titanium silicide to be uniformly formed, and as a result, it is possible to improve device characteristics and enhance the integration scale of semiconductor devices.

도 5b는 질소플라즈마를 처리하여 형성한 C49-TiSi₂의 단면을 도시한 도면.

도 6은 후속 금속열처리온도에 따른 TiSi₂의 구조변화를 도시한 그래프.

•도면의 주요 부분에 대한 부호의 설명

21 : 실리콘기판

22 : 질소트랩층

23 : 티타늄막

24 : 티타늄나이트라이드막

25 : C49-TiSi₂

본 발명의 상세한 설명

발명의 목적

본 발명은 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 실리콘기판과 금속의 접합부위에 적용하는 티타늄실리사이드(TiSi₂)의 형성 방법에 관한 것이다.

일반적으로, 반도체소자의 성능 향상을 위해 비트라인(Bitline)이나 캐패시터전극(Capacitor electrode)으로 금속(Metal)을 사용하는데, 이 때 실리콘기판과 금속의 접합부분(Contact)에 티타늄실리사이드(TiSi₂)나 약침합)를 형성한다. 상기와 같은 초기 공정에 적용되는 TiSi₂는 다결정(Polycrystalline)구조를 가지며, BPSB(Boro-Phospho-Silicate-Glass) 플로우(Flow)나 캐패시터 공정과 같은 후속 고온 공정을 거치게 되는데, 후자의 방법으로 형성된 TiSi₂는 응집(Agglomeration)현상이 발생하여 소자의 특성을 나쁘게 한다.

도 1은 종래기술에 따른 TiSi₂의 형성 방법을 도시한 도면으로서, 실리콘기판(11)상에 티타늄층을 증착한 후, 질소(N₂)분위기에서 금속열처리(Rapid Thermal Process: RTP)를 실시하여 TiSi₂(12)를 형성한다.

이 때, 상기 금속열처리는 1단계 또는 2단계로 진행하는데, 비트라인이나 캐패시터와의 접합부분은 후속 고온열공정을 받게 되므로 후속 열공정시 상변태에 의한 응집을 방지하기 위하여 2단계 열처리를 통해 안정화된 C54-TiSi₂를 환경변태시킨다. 한편, 금속배선과의 접합부분은 후속 고온열공정이 없으므로 한 번의 열처리를 통해 C49-TiSi₂를 형성한다.

그러나, 비트라인이나 캐패시터전극과의 접합부분에 적용되는 TiSi₂를 C54-TiSi₂로 완전변태시켜 안정성으로 형성하여도 후속 열공정, 예컨대, BPSB플로우, 캐패시터 열처리시에 C54-TiSi₂의 새로운 핵생성과 함께 성장(Grain growth)에 의해 TiSi₂의 용집이 일어나고, 실리콘기판(11)과 TiSi₂(12)의 계면 거칠기(Roughness) 증가에 의해 저항이나 누설전류를 증가시킨다.

또한, C54-TiSi₂의 핵생성과 성장은, 2단계 금속열처리후에 남아있는 잔류 C49-TiSi₂의 변태 또는 미반응 티타늄, 실리콘기판과 반응하면서 나트륨 현상으로 함께(Brain boundary)에서 시작된다. 이 때, 상기 용집(Grain boundary)은 격자변형에너지에 의해 에너지가 높은 지역으로, 새로운 상의 핵생성이 쉽게 일어나는 지역이다. 따라서 다결정 TiSi₂의 경우, 잔류 C49-TiSi₂이나, 미반응 티타늄을 제거하지 않으면 필연적으로 C54-TiSi₂의 핵생성 및 성장에 의한 용집이 발생한다.

그리고, 이미 형성된 C54-TiSi₂는 열역학적 에너지를 낮추기 위하여 결정입계 면적이 감소하는 그루빙(Grooving)현상이 발생하여, 이 과정에서 C54-TiSi₂의 두께가 더욱 불균일해져 거칠기가 증가한다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기 종래기술의 문제점을 해결하기 위하여, 안정한 것으로서, 실리콘사이드막의 용집현상을 방지하여 소자의 신뢰성 및 누설전류를 감소시키는데 적합한 티타늄실리사이드막의 형성 방법에 관한 것이다.

본 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명은, 실리콘을 표면에 질소플라즈마를 처리하여, 상기 실리콘을 표면에 질소트랩층을 형성하는 제 1 단계; 상기 질소트랩층을 포함하는 실리콘층상에 티타늄막을 증착하고, 상기 티타늄막을 용해시켜 상기 질소트랩층과 용해되는 티타늄막이 반응하여 티타늄나이트라이드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결과물에 열처리를 실시하여 상기 실리콘층 표면에 에피택셜 티타늄실리사이드막을 형성하는 제 3 단계를 포함하여, 상기 티타늄나이트라이드막을 상기 티타늄막과 실리콘층의 실리콘사이드반응을 억제시키는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명

명하기로 한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 에피택셜 C49-TiSi₂의 형성 방법을 도시한 도면이다.

도 2a에 도시된 바와 같이, 티타늄(Ti)을 증착하기 전에 실리콘기판(21)에 400°C~450°C로 도와 3torr~5torr의 압력하에서 N₂ 또는 He, 글러즈마를 400과 파워로 30초동안 처리한다. 상기 실리콘기판(21)의 표면에 질소트랩층(22)을 형성한다. 이 때, 상기 질소트랩층(22)은 질소이온들이 실리콘(Si)의 빈격자(vacancy site)에 침입하여 트랩되므로써 형성되는데, 상기 실리콘은 다이아몬드 큐빅(diamond cubic)구조로 0, 3/4, 1/4 자점에 빈격자) 존재한다. 상기 질소트랩층(22)은 후속 티타늄 증착시 티타늄 원자와 결합하여 티타늄나이트라이드(TiN)를 형성한다.

도 2b에 도시된 바와 같이, 상기 질소트랩층(22)을 포함한 실리콘기판(21)상에 IHP(Ion Metal Plasma)법을 이용하여 티타늄(23)을 50A~300A의 두께로 증착한다.

도 2c에 도시된 바와 같이, 상기 티타늄(23) 증착후, 실리콘사이드 반응을 위한 2단계 급속열처리를 실시한다. 이 때, 상기 급속열처리의 1단계는 670°C~650°C에서 20초~30초동안, 질소분위기로 실시하며, 2단계는 850°C~900°C에서 20초~30초동안 질소분위기에서 실시한다.

상기와 같이 질소트랩층(22)이 형성된 상태에서 급속열처리를 실시하면 증착되는 티타늄(23) 원자와 질소트랩층(22)이 반응하여 티타늄나이트라이드(TiN)(24)를 형성하게 되고, 상기 티타늄나이트라이드(TiN)(24)는 실리콘과 티타늄의 확산을 방지하여 실리콘사이드의 형성 속도를 늦추게 된다.

즉, 후속 급속열처리공정에서 순수한 티타늄보다 티타늄과 실리콘의 반응이 억제되기 때문에, 티타늄나이트라이드(24)의 형성이 억제되어진다. 이러한 티타늄나이트라이드막은 실리콘과 티타늄의 확산을 방지하여 실리콘사이드반응이 느리게 진행되도록 하고, 따라서 에너지가 가장 민감한 에피택셜 C49-TiSi₂(25)를 형성한다.

이 때, 상기 C49-TiSi₂(25)는 실리콘기판(21)과 (060)TiSi₂//(200)Si, [001]TiSi₂//[011]Si의 방향관계를 갖는 에피택셜층이며, 입계가 존재하지 않으므로 C54-TiSi₂의 핵생성이 어렵고 입계면적 감소에 의한 그루 병형성이 발생하지 않는다.

상기와 같이 에피택셜 C49-TiSi₂(25)는 실리콘기판(21)과 반정합 계면을 형성하고 미스매치(misfit) 전위를 형성함으로써 실리콘기판(21)과 티타늄실리콘사이드간의 계면에서의 변형에너지를 최소화한다.

통상적으로 C49-TiSi₂에서 C54-TiSi₂로의 변태시 C54-TiSi₂의 핵은 입계의 높은 에너지 지역에서 형성되는데, 에피택셜 C49-TiSi₂(25)는 입계가 존재하지 않고 실리콘과의 계면만이 존재한다.

이렇듯 실리콘기판(21)과 에피택셜 C49-TiSi₂(25)의 계면은 반정합을 형성하므로써 최소의 에너지만을 가지기 때문에, 일반적인 다결정 구조의 C49-TiSi₂에 비해 C54-TiSi₂의 핵생성이 일어나기가 어렵다. 따라서 후속 열공정시 에피택셜 C49-TiSi₂(25)이 C54-TiSi₂로의 상변태가 발생되지 않으며, C54-TiSi₂의 핵생성 및 성장에 의한 티타늄실리콘사이드의 용접이 발생하지 않는다.

도 3은 질소플라즈마처리후 TiN TiSi₂상의 구조변화를 나타낸 도면으로서, 질소플라즈마처리를 실시하지 않은 경우(A), (311)면의 C54-TiSi₂상이 나타나며, 질소플라즈마처리를 30초동안 실시한 경우(B), (060)면의 C49-TiSi₂상이 나타난다.

도 4a 및 도 4b는 질소플라즈마처리의 유무에 따른 TiSi₂의 미세구조변화를 도시한 그래프로서, 질소플라즈마처리를 하지 않은 경우, (040)C54-TiSi₂, (220) C54-TiSi₂, (311)C54-TiSi₂만이 나타나며, 질소플라즈마처리를 30초동안 실시한 경우에는 (020)C49-TiSi₂, (040)C49-TiSi₂, (111)TiN, (060)C49-TiSi₂이 나타난다.

도 5a에 도시된 바와 같이, 질소플라즈마처리를 실시하지 않은 경우, 실리콘기판과 C54-TiSi₂상의 계면에 입계가 존재함을 알 수 있고, 도 5b에 도시된 바와 같이, 질소플라즈마처리(30초)를 실시한 경우, 실리콘기판과 C49-TiSi₂의 계면에 입계가 존재하지 않고, C49-TiSi₂의 (060)면과 실리콘기판의 (200)면이 평행함을 알 수 있다. 여기서, 통상적으로 상기 실리콘기판의 (200)면은 (100)면과 평행하다.

도 6은 후속 급속열처리온도에 따른 TiSi₂의 구조변화를 도시한 그래프로서, 1000°C의 열처리에서도 C49-TiSi₂상이 존재함을 알 수 있는 반면, C54-TiSi₂상은 존재하지 않는다.

상술한 것처럼, 티타늄 증착전에 질소플라즈마처리를 실시함으로써 에피택셜 C49-TiSi₂(25)이 후속 급속열처리공정시 1000°C까지 안정한 상태로 존재한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

본 발명의 효과

상술한 본 발명의 티타늄실리콘사이드 형성 방법은 실리콘기판에 질소플라즈마처리를 실시하여 실리콘기판의 (100)면과 (060)면이 평행한 에피택셜 C49-TiSi₂의 형성하므로써 상변태가 발생하지 않은 열적으로만

정한 실리콘사이드막을 형성할 수 있는 효과가 있으며, 또한 상기 에피택셜 C49-TIS₁는 후속 열처리공정시 1000°C까지 용입이 발생하지 않으므로 금속비트라인 및 실리콘기판, 금속캐패시터전극과 실리콘기판과의 편향형성시 저항 및 누설전류를 감소시킬 수 있는 효과가 있다.

(9) 청구의 범위

청구항 1

실리콘사이드막 형성 방법에 있어서,

실리콘층 표면에 질소플라즈마를 처리하여 상기 실리콘층 표면내에 질소트랩층을 형성하는 제 1 단계;

상기 질소트랩층을 포함한 실리콘층상에, 티타늄막을 증착하고, 상기 티타늄막 증착시 상기 질소트랩층과 증착되는 티타늄막이 반응하여 티타늄나이트라이드막을 형성하는 제 2 단계; 및

상기 제 2 단계의 결과물에 열처리를 실시하여 상기 실리콘층 표면에 에피택셜 티타늄실리콘사이드막을 형성하는 제 3 단계를 포함하여,

상기 티타늄나이트라이드막은 상기 티타늄막과 실리콘층의 실리콘사이드반응을 억제시키는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 단계는,

400°C~450°C 온도와 3torr~5torr의 압력하에서 H₂ 또는 NH₃ 플라즈마를 이용하여 이루어지는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 단계에서,

상기 티타늄막은, RF용착법을 이용하여 50A~300A의 두께로 형성되는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 3 단계에서,

상기 열처리는 2단계로 진행되며, 1단계는 질소분위기인 670°C~850°C에서 20초~30초동안 실시되고 2단계는 질소분위기인 950°C~900°C에서 20초~30초동안 실시되는 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

청구항 5

제 1 항에 있어서,

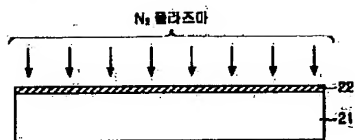
상기 에피택셜 티타늄실리콘사이드막은 C49상 티타늄실리콘사이드막이며, 상기 에피택셜 티타늄실리콘사이드막의 (060)면이 실리콘층의 (100)면에 평행하게 형성된 것을 특징으로 하는 티타늄실리콘사이드막의 형성 방법.

도면

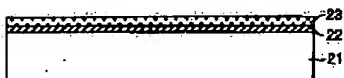
도면1



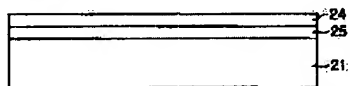
도 26



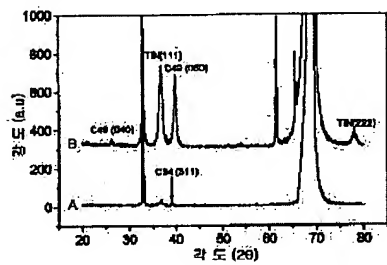
도 27



도 28



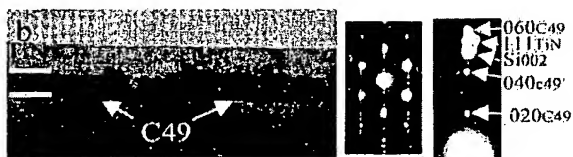
도 29



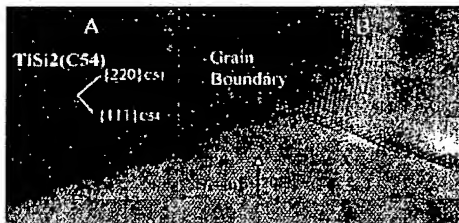
도 19-4a



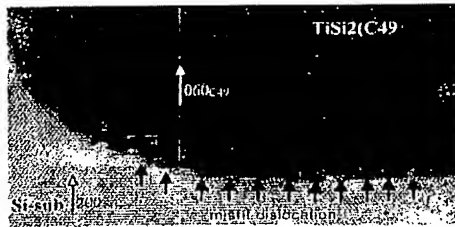
도 19-4b



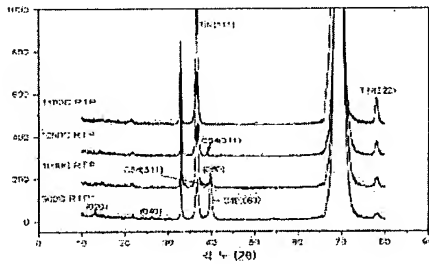
도 19-5a



도 P56



도 P60



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.